

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-274300

(43) 公開日 平成11年(1999)10月8日

(51) Int.Cl.⁶

識別記号

F I

H 0 1 L 21/768
21/316H 0 1 L 21/90
21/316N
H

審査請求 未請求 請求項の数 2 F D (全 4 頁)

(21) 出願番号

特願平10-92234

(22) 出願日

平成10年(1998)3月23日

(71) 出願人 000004123

日本鋼管株式会社

東京都千代田区丸の内一丁目1番2号

(72) 発明者 大谷 章

東京都千代田区丸の内一丁目1番2号 日

本鋼管株式会社内

(72) 発明者 木村 洋平

東京都千代田区丸の内一丁目1番2号 日

本鋼管株式会社内

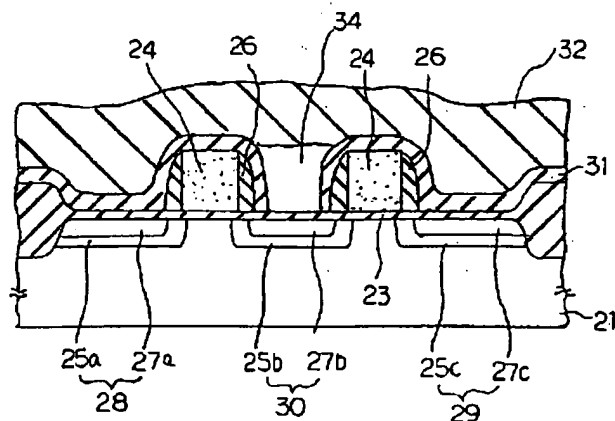
(74) 代理人 弁理士 花輪 義男

(54) 【発明の名称】 半導体素子の製造方法

(57) 【要約】

【課題】配線間に空隙を介在させ、配線間のキャパシタンスを小さくすることを課題とする。

【解決手段】S i 基板21上に複数のゲート電極24をゲート酸化膜23を介して互いに離間して形成する工程と、前記ゲート電極24を含むS i 基板21上に熱処理によりリフローする性質を有するB P S G膜32を形成する工程と、反応性イオンエッチングによりゲート電極24間の前記B P S G膜32を選択的に除去する工程と、熱処理により前記B P S G膜32をリフローさせて、膜表面を平坦化するとともに、前記ゲート電極24間に空隙34を形成する工程とを具備することを特徴とする半導体素子の製造方法。



【特許請求の範囲】

【請求項1】 基板上に複数の配線を第1の絶縁膜を介して互いに離間して形成する工程と、前記配線を含む基板上に熱処理によりリフローする性質を有する第2の絶縁膜を形成する工程と、反応性イオンエッチングにより配線間の前記第2の絶縁膜を選択的に除去する工程と、熱処理により前記第2の絶縁膜をリフローさせて、膜表面を平坦化するとともに、前記配線間に空隙を形成する工程とを具備することを特徴とする半導体素子の製造方法。

【請求項2】 前記第2の絶縁膜はホウ素-ケイ酸ガラスであることを特徴とする請求項1記載の半導体素子の製造方法。路装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は半導体素子の製造方法に関し、特に配線間のキャパシタンスを小さくするために配線間に空隙を形成した半導体素子の製造方法に関する。

【0002】

【従来の技術】従来、半導体素子としては、例えば図6に示すものが知られている。

【0003】図中の付番1は、表面にフィールド酸化膜2が形成されたSi基板である。このSi基板1の素子領域上には、薄い絶縁膜3を介して多結晶シリコンからなるゲート電極4が形成されている。このゲート電極4の側壁には、絶縁製のスペーサー5が設けられている。Si基板1の素子領域には、ゲート電極4と自己整合的にN⁻領域6a、6b、6cが形成され、ゲート電極4及びスペーサー5と自己整合的にN⁺領域7a、7b、7cが形成されている。ここで、N⁻領域6a及びN⁺領域7aによりソース領域8が形成され、N⁻領域6c及びN⁺領域7cによりソース領域9が形成され、N⁻領域6b及びN⁺領域7bによりドレイン（ソース）領域10が構成されている。前記ゲート電極4等を含むSi基板1全面には、NSG膜11、BP SG（ホウ素-ケイ酸ガラス）膜12が順次設けられている。

【0004】こうした構成の半導体素子においては、素子表面の段差緩和のため、BP SG膜12を堆積した後、800～950℃の温度でアニールすることによりBP SG膜12をフローさせている。ここで、BP SG膜12のフロー性は、ボロン、リンの濃度、BP SG膜12の膜質、及び熱処理条件で制御される。

【0005】

【発明が解決しようとする課題】ところで、上記半導体素子において、ゲート電極3間の間隔が狭くなり0.35μmルールではその間隔は0.5～0.30μmとなる。従って、ゲート電極4間の静電容量が大きくなり、信号遅延特性を大きく悪化させる。また、ゲート電極

4間の単位長さ辺りの容量Cは、下記式に示す通りである。

$$【0006】 C = e \times (h/d)$$

但し、上式において、eは誘電率、hはゲート電極の高さ、dはゲート電極間の間隔を示す。

【0007】本発明はこうした事情を考慮してなされたもので、基板上に複数の配線を第1の絶縁膜を介して互いに離間して形成し、前記配線を含む基板上に熱処理によりリフローする性質を有する第2の絶縁膜を形成し、反応性イオンエッチングにより配線間の前記第2の絶縁膜を選択的に除去した後、熱処理により前記第2の絶縁膜をリフローさせて、膜表面を平坦化するとともに、前記配線間に空隙を形成することにより、配線間に十分な空隙を形成させ、もって配線間のキャパシタンスを小さくしえる半導体素子の製造方法を提供することを目的とする。

【0008】

【課題を解決するための手段】本発明は、基板上に複数の配線を第1の絶縁膜を介して互いに離間して形成する工程と、前記配線を含む基板上に熱処理によりリフローする性質を有する第2の絶縁膜を形成する工程と、反応性イオンエッチングにより配線間の前記第2の絶縁膜を選択的に除去する工程と、熱処理により前記第2の絶縁膜をリフローさせて、膜表面を平坦化するとともに、前記配線間に空隙を形成する工程とを具備することを特徴とする半導体素子の製造方法である。

【0009】本発明において、熱処理によりリフローする性質を有する第2の絶縁膜としては、例えばBP SG膜が挙げられる。

【0010】【作用】現在配線間隔が0.5～0.30μmと狭くなっているが、配線間のリフロー性を有する第2の絶縁膜（例えばBP SG膜）を除去した後、熱処理することにより、第2の絶縁膜に表面張力が働き、配線間に図5に示すような空隙が形成される。従って、配線間のキャパシタンスを小さくでき、信号遅延特性の悪化を回避できる。

【0011】

【発明の実施の形態】以下、本発明の実施例について、図1～図5を参照して説明する。

【0012】(1) まず、常法によりp型のSi基板21の表面にフィールド酸化膜22を形成した。つづいて、フィールド酸化膜22で囲まれた素子領域上にゲート酸化膜23を介して配線としての多結晶シリコンからなるゲート電極24を形成した。ここで、ゲート電極24を介して素子領域にn型不純物を導入し、深いN⁻型領域25a、25b、25cを形成した（図1参照）。

【0013】(2) 次に、全面に厚い絶縁膜を形成した後、反応性イオンエッチングによりこの絶縁膜をエッチング除去し、ゲート電極24の側壁にのみ前記絶縁膜を残

存させて、スペーサー26を形成した。つづいて、前記ゲート電極24及びスペーサー26をマスクとして前記素子領域にn型不純物を導入し、前記N⁻型領域25a, 25b, 25cより浅いN⁺型領域27a, 27b, 27cを形成した。ここで、N⁻型領域25a及びN⁺型領域27aよりソース領域28が構成され、N⁻型領域25c及びN⁺型領域27cよりドレイン領域29が構成され、N⁻型領域25b及びN⁺型領域27bよりドレイン(ソース)領域30が構成されている(図2参照)。そして、ソース領域28、ドレイン領域30及びゲート電極24によりMOS型トランジスタが構成され、ソース領域30、ドレイン領域29及びゲート電極24により別なMOS型トランジスタが構成され

(3) 次に、全面に厚さ140nmのNSG(ノンドープシリカガラス)膜31を形成した。ここで、このNSG膜31は、その後の熱処理工程で上層膜(特にBPSG膜)からの不純物がソース、ドレイン領域に拡散するのを阻止することを目的とする。つづいて、全面に厚さ800nmのBPSG膜32を形成した。つづいて、BPSG膜32上にゲート電極24間の領域に対応する部分が選択的に開口されたレジスト33を形成した(図3参照)。

【0014】(4) 次に、前記レジスト33をマスクとして前記BPSG膜32を反応性イオンエッチングにより除去した(図4参照)。つづいて、前記レジスト33を除去後、800~950℃の温度で熱処理を行い、BPSG膜32をリフローさせた。これにより、BPSG膜32の表面が平坦化するとともに、表面張力によりゲート電極24間に空隙33が形成された(図5参照)。

【0015】上記実施例によれば、複数のゲート電極24、スペーサー26を形成し、更にNSG膜31、BPSG膜32を形成し、この後ゲート電極24間の領域に対応するBPSG膜32を選択的に除去してから熱処理を行うため、BPSG膜32の表面を平坦化できるとともに、ゲート電極24間に空隙33を形成することができる。従って、ゲート電極24間に十分な空隙を形成させ、もって配線間のキャパシタンスを小さくできる。また、BPSG膜32は基板21上にNSG膜31を介して形成されているため、BPSG膜32の熱処理工程でBPSG膜32からの不純物がソース、ドレイン領域に拡散するのを阻止することができる。

【0016】なお、上記実施例では、配線がゲート電極である場合について述べたが、これに限らず、端子同士を電氣的に接続するような通常の配線である場合でもよい。また、基板もSi基板である場合に限らず、例えばサファイア基板上に非晶質シリコン層を形成したような

ものでもよい。更に、第1の絶縁膜がゲート酸化膜である場合について述べたが、これに限らない。

【0017】

【発明の効果】以上詳述したように本発明によれば、基板上に複数の配線を第1の絶縁膜を介して互いに離間して形成し、前記配線を含む基板上に熱処理によりリフローする性質を有する第2の絶縁膜を形成し、反応性イオンエッチングにより配線間の前記第2の絶縁膜を選択的に除去した後、熱処理により前記第2の絶縁膜をリフローさせて、膜表面を平坦化するとともに、前記配線間に空隙を形成することにより、配線間に十分な空隙を形成させ、もって配線間のキャパシタンスを小さくしえる半導体素子の製造方法を提供できる。

【図面の簡単な説明】

【図1】本発明の一実施例に係る半導体素子の製造方法の一工程図を示し、素子領域にN⁻領域を形成するまでの状態を示す断面図。

【図2】本発明の一実施例に係る半導体素子の製造方法の一工程図を示し、素子領域にN⁺領域を形成するまでの状態を示す断面図。

【図3】本発明の一実施例に係る半導体素子の製造方法の一工程図を示し、レジストを形成するまでの状態を示す断面図。

【図4】本発明の一実施例に係る半導体素子の製造方法の一工程図を示し、レジストをマスクとしてBPSG膜を選択的にエッチングするまでの状態を示す断面図。

【図5】本発明の一実施例に係る半導体素子の製造方法の最終工程を示す断面図。

【図6】従来の半導体素子の断面図。

【符号の説明】

- 21…Si基板、
- 22…フィールド酸化膜、
- 23…ゲート酸化膜、
- 24…ゲート電極、
- 25a, 25b, 25c…N⁻領域、
- 26…スペーサー、
- 27a, 27b, 27c…N⁺領域、
- 28…ソース領域、
- 29…ドレイン領域、
- 30…ドレイン(ソース)領域、
- 31…NSG膜、
- 32…BPSG膜、
- 34…空隙。

